

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-330453

(43)公開日 平成8年(1996)12月13日

| (51)Int.Cl. ⁶ | 識別記号 | 弁内整理番号 | F I | 技術表示箇所 |
|--------------------------|------|--------|---------------|---------|
| H 0 1 L 21/8247 | | | H 0 1 L 29/78 | 3 7 1 |
| 29/788 | | | G 1 1 C 17/00 | 3 0 7 D |
| 29/792 | | | H 0 1 L 27/10 | 4 3 4 |
| G 1 1 C 16/02 | | | | |
| 16/04 | | | | |

審査請求 未請求 請求項の数 8 O L (全 8 頁) 最終頁に続く

(21)出願番号 特願平7-137994

(22)出願日 平成7年(1995)6月5日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 真有 浩一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

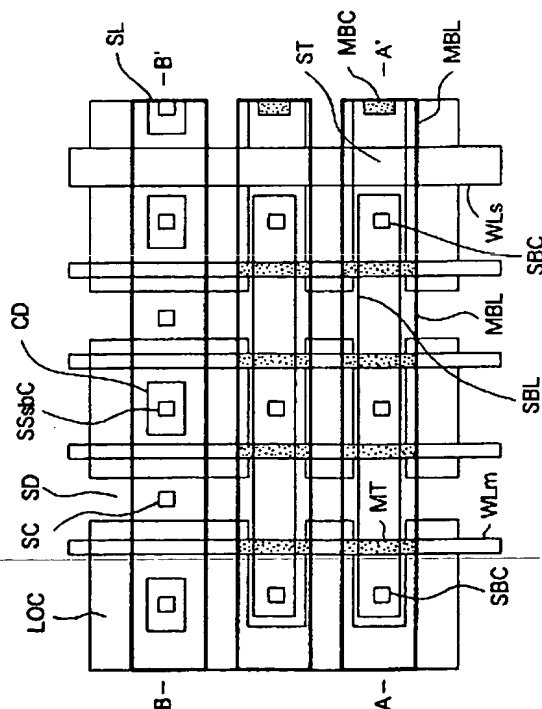
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】セル面積を増加させることなく不揮発性メモリトランジスタの特性の安定化を図ることができる半導体装置を提供する。

【構成】メモリトランジスタMTのソース配線層SDをメモリトランジスタMTのチャンネルが形成される第1の拡散層Pwに接続する。これにより、例えばメモリトランジスタMTが、P形基板Pwに形成されたN形ウエルNw中に形成されたP形ウエルPw内に形成されている場合に、基板Pw電位を安定化できる。あるいは、メモリトランジスタMTのソース拡散層SDと基板Psbとをシリサイド層SIDによって接続してソース拡散層SDと基板Psbとを同電位とする。



1

【特許請求の範囲】

【請求項1】電荷蓄積層を有する不揮発性メモリトランジスタを備える半導体装置において、
該不揮発性メモリトランジスタのソース拡散層に電位を供給するソース配線層が、該不揮発性メモリトランジスタのチャンネルが形成される第1の拡散層に接続されていることを特徴とする半導体装置。

【請求項2】第1の拡散層が、N形基板に形成されたP形ウエル構造である請求項1記載の半導体装置。

【請求項3】第1の拡散層が、P形基板に形成されたN形ウエル中に形成されたP形ウエル構造である請求項1記載の半導体装置。

【請求項4】前記ソース配線層の第1の拡散層とのそれぞれの接続点が、該ソース配線層のソース拡散層とのそれぞれの接続点と不揮発性メモリトランジスタのワード線を挟んで対向する位置に存する請求項1記載の半導体装置。

【請求項5】電荷蓄積層を有する不揮発性メモリトランジスタを備え、該不揮発性メモリトランジスタのソース電位と基板電位とを同電位とする半導体装置において、
該ソース拡散層と基板とがシリサイド層によって接続されていることを特徴とする半導体装置。

【請求項6】シリサイド層によって互いに接続されているソース拡散層と基板に形成された拡散層とが、一方がN形拡散層であり、他方がP形拡散層である請求項5記載の半導体装置。

【請求項7】不揮発性メモリトランジスタそれぞれのソース拡散層がフィールド酸化膜によって分離されている請求項5又は6記載の半導体装置。

【請求項8】基板に形成され、シリサイド層と接続されているそれぞれの拡散層が、不揮発性メモリトランジスタのワード線と平行に配列されている請求項5記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、フラッシュメモリに代表される不揮発性メモリ等の半導体装置に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】近年、フローティングゲートをもつ不揮発性メモリ、特にある一定の単位で消去でき、ビット毎に書き込み可能なフラッシュメモリの開発が盛んである。このようなフラッシュメモリの一例として、ETOXタイプのフラッシュメモリでは、チャージはチャンネル・ホット・エレクトロンにより、ビット毎に行われ（書き込み）、放出はF-N (Powler-Nordheim) トンネリングによりソース電極へある一定単位で行われる（消去）。図5にそれぞれの読み出し時の状態をメモリセルの概略と共に示す。

【0003】この図で、FGは電荷蓄積層であるフローティングゲート、CGはコントロールゲート、CAはチ

2

ヤネル領域、SDはソース、DDはドレインである。このようなフローティングゲートFGをもつメモリトランジスタでは、電荷がチャージされた状態では、コントロールゲートCGにVccをかけてもメモリセルはONしないが（図5（B））、電荷を放出した状態ではONする（図5（A））。

【0004】このようなメモリトランジスタは、P形基板中に作られる。その理由はいくつかあるが、そのうちのひとつとして、バルク電位を安定させやすいことが挙げられる。即ち、バルク電位を基板裏側から接地（GND）電位に落とせば低抵抗を挟んでバルクがGNDにつながれていることになり、バルク電位はGNDに安定できる。

【0005】このETOXタイプのフラッシュメモリの欠点として、比較的大電流の流れるチャンネル・ホット・エレクトロンによる書き込みを行っているため、書き込み時に外部から12V程度の電源を供給しなければならないことが挙げられる。この点を改善する方法として、書き込み消去ともに、消費電力の少ない（チップ内部の昇圧回路で電圧供給できる）F-Nトンネリングで行うタイプのフラッシュメモリが報告されている。その中の一つに、DINOR型フラッシュメモリといわれているものがある。DINOR型フラッシュメモリでは、電荷の注入はチャンネル全面でゲート酸化膜を通してある一定単位で行われ（消去）、電荷の放出はF-Nトンネリングによりドレイン電極へビット毎に行われる（書き込み）。セルはNOR型に配置され、一定のセル毎に選択トランジスタが配置される。

【0006】図6に、DINOR型フラッシュメモリの概略と共に、書き込み、消去の電圧条件を示す。この図において、FGは電荷蓄積層であるフローティングゲート、CGはコントロールゲート、CAはチャンネル領域、SDはソース、DDはドレイン、PwはP形ウエル、NwはNウエル、PsbはP形基板である。

【0007】即ち、電荷の注入（消去）は、図6（A）に示すように、コントロールゲートCGに12V、P形ウエルPwとソースSDに-6Vを印加し、ドレインをオープン状態にして行われる。一方、電荷の放出（書き込み）は、図6（B）に示すように、コントロールゲートCGに-12V、ドレインDDに6Vを印加し、ソースSD及びP形ウエルPwに0ボルトを印加して行われる。このように、DINOR型フラッシュメモリでは、基板にマイナス電位を印加するオペレーションが存在するために、メモリセルをウエルの中に入れてマイナスの電圧を印加した場合でも、他のデバイスに影響が出ないようにするのが一般的である。即ち、図6に示したように、P形基板Psb中にN形ウエルNwを作り、その中に更にP形ウエルPwを作り、そのP形ウエルPwの中にメモリセルを製造する構造である。ところが、この場合、P形ウエルPw電位を基板裏面からとることができ

3

なくなり、P形ウエルPwの電位を安定させるのが課題になっている。

【0008】図7に、このようなDINOR型フラッシュEEPROMの平面図、図8(A)に図7のA-A'線に沿った断面図、及び図8(B)に図7のB-B'線に沿った断面図を示す。このようなDINOR型フラッシュEEPROMは、選択トランジスタSTに複数のメモリトランジスタMT(図では4個)が副ビット線SBLを介して接続されている。図7の平面図において、選択トランジスタSTのワード線WLSとメモリトランジスタのワード線WLMとは平行に配置され、これと直交する主ビット線MBLが、各メモリトランジスタMTの上に配線され、主ビット線コンタクトMBCで各選択トランジスタSTと接続されている。また、副ビット線SBLは主ビット線MBLに沿って各メモリトランジスタMTのドレイン拡散層DDと副ビット線コンタクトSBCで接続されている。一方、メモリトランジスタMTのソース拡散層SDは、主ビット線に平行に配置されたソース配線層SLとソースコンタクトホールSCで接続されている。このソース配線層SLはビットライン16本おきに1本程度あるのが普通である。また、メモリトランジスタMTのチャネル領域はフィールド酸化膜LOCによって分離されている。

【0009】また、図8に示す断面図では、各トランジスタは、P形基板Psbに形成されたN形ウエルNwで囲まれたP形ウエルPw内に形成されている。それぞれのトランジスタには第1ポリシリコン配線層(フローティングゲートFG)と第2ポリシリコン配線層(コントロールゲートCG)とが絶縁層を介して積層されており、これらは2poly-3poly層間絶縁膜IR1で覆われており、この上に副ビット線SBLであるポリシリコン配線層が各メモリトランジスタのドレイン拡散層DDと接続されて設けられている。更に、この副ビット線が3poly-1Al層間絶縁膜IR2で覆われ、その上に1Al配線層(主ビット線MBL)が配線され、この主ビット線MBLはコンタクトホールMBCで選択トランジスタSTのソース拡散層SDと接続されている。この1Alの上をパッシベーションPVが被覆する。

【0010】ところが、この例では、P形ウエルPwの電位をとるには、メモリセルの外側でコンタクトをとるしか方法がなく、このため、メモリセルの中央部では、P形ウエルPwの抵抗(シート抵抗は1kΩ/□以上ある)を挟んで電位をとっていることになり、従来の基板裏面からとる方法に比べると、かなり多くの抵抗を挟んでいることになる。

【0011】このため、メモリセル面積を増大させずに、基板電位を安定化することが求められている。また、フラッシュメモリを例にとって説明したように、ソース電位を基板電位と同電位にするような半導体装置、

4

例えばフローティングゲートをもち、ある一定単位で消去でき、ビット毎に書き込み可能なフラッシュメモリをはじめ、EPROM、EEPROM、MaskROMなどの不揮発性メモリにおいては、ソース配線層を設け、ソース配線層のコンタクトから各トランジスタのソース拡散層へ電位を供給するようになっている。

【0012】ここでは、ETOXタイプのセル配置図、いわゆるT型セルを例に挙げて説明する。ETOXタイプのセル配置図を図9に示す。図10は、図9におけるA-A'線に沿った断面図であり、メモリトランジスタの概略の構成を示すものである。

【0013】図9では、コントロールゲートCGを形成するワードラインWLと、ドレイン電位の配線層DLとは直交している。各メモリトランジスタMTのソース拡散層SDは、互いに接続されていると共に、ドレイン電位配線層DLと平行に配線されているソース配線層SLと、ソース電位をとるコンタクトSCを介して接続されている。また、ワード線WLに沿ったメモリトランジスタMT相互は、フィールド酸化膜LOCによって分離されている。各メモリトランジスタMTは、図10に示すように、P形基板Psbに形成されたソース拡散層SDとドレイン拡散層DD間のチャネル領域CA上に図示しないゲート酸化膜を介してフローティングゲートFGが形成され、更にこのフローティングゲートFGの上に絶縁膜を介してコントロールゲートCGが積層された構造を有する。

【0014】図9より明らかなように、従来のETOXタイプのセル配置構造によれば、ソース電位をとるために、ソース配線層SLとコンタクトSCが必要であり、しかも、ソースコンタクトSCからの距離により、ソース抵抗が変化し、このため半導体特性に変動を与えていた。この変動を許容範囲内に押さえるためにソースコンタクトは8~16セル毎に置かれるのが一般的である。このソース配線層の形成により、セルは必然的に大きくなる。その上、図9に示すように、メモリセルのチャネル部分が確実に分離されるようにプロセスマージンを十分に考慮した上で、フィールド酸化膜LOCのソース側エッジとワードラインWLとのスペース"X"をとる必要がある。この点でもメモリサイズが大きくなる。

【0015】従って、本発明の目的は、セル面積を増加させることなく容易に不揮発性メモリトランジスタの特性の安定化を図ることができる半導体装置を提供することにある。

【0016】

【課題を解決するための手段】本発明は、上記目的を達成するため、次の半導体装置を提供する。

(1) 電荷蓄積層を有する不揮発性メモリトランジスタを備える半導体装置において、該不揮発性メモリトランジスタのソース拡散層に電位を供給するソース配線層が、該不揮発性メモリトランジスタのチャネルが形成さ

5

れる第1の拡散層に接続されていることを特徴とする半導体装置。

(2) 第1の拡散層が、N形基板に形成されたP形ウエル構造である上記(1)記載の半導体装置。

(3) 第1の拡散層が、P形基板に形成されたN形ウエル中に形成されたP形ウエル構造である上記(1)記載の半導体装置。

(4) 前記ソース配線層の第1の拡散層とのそれぞれの接続点が、該ソース配線層のソース拡散層とのそれぞれの接続点と不揮発性メモリトランジスタのワード線を挟んで対向する位置に存する上記(1)記載の半導体装置。

(5) 電荷蓄積層を有する不揮発性メモリトランジスタを備え、該不揮発性メモリトランジスタのソース電位と基板電位とを同電位とする半導体装置において、該ソース拡散層と基板とがシリサイド層によって接続されていることを特徴とする半導体装置。

(6) シリサイド層によって互いに接続されているソース拡散層と基板に形成された拡散層とが、一方がN形拡散層であり、他方がP形拡散層である上記(5)記載の半導体装置。

(7) 不揮発性メモリトランジスタそれぞれのソース拡散層がフィールド酸化膜によって分離されている上記(5)又は(6)記載の半導体装置。

(8) 基板に形成され、シリサイド層と接続されているそれぞれの拡散層が、不揮発性メモリトランジスタのワード線と平行に配列されている請求項5記載の半導体装置。電荷蓄積層を有する不揮発性メモリトランジスタを備える半導体装置において、該不揮発性メモリトランジスタのソース拡散層に電位を供給するソース配線層が、該不揮発性メモリトランジスタのチャンネルが形成される第1の拡散層に接続されていることを特徴とする半導体装置。

【0017】

【作用】本発明の第1発明としての半導体装置は、ソース配線層が、不揮発性メモリトランジスタのチャンネルが形成される第1の拡散層にも接続されているので、ソース配線層が同時に不揮発性メモリトランジスタのチャンネルが形成される拡散層電位も決定し、例えばN形基板中に作られたP形ウエル構造、あるいはP形基板中に作られたN形ウエルに囲まれたP形ウエル構造など周りを異種の拡散層に囲まれた領域の電位を安定化できる。

【0018】この場合、特にコンタクトのためのエリアを設ける必要もなく、メモリセルサイズが大きくなることもなく、しかも従来のセルレイアウトにソース配線層のコンタクトを継ぎ足すだけでよいので、容易にかつ工程をそれほど増やさずに実施できる。

【0019】また、本発明の第2発明としての半導体装置は、ソース拡散層と基板とがシリサイド層によって接続されているので、ソース拡散層はシリサイドを介して

6

基板からGND電位を得ることになる。従って、ソース配線層が不要になり、その分チップサイズを縮小できる。しかもソースラインにはその電位をとるためのコンタクトはなく、また、メモリセルのチャンネル部分を確実に分離するためのフィールド酸化膜の上記余分のスペース"X"をとる必要がなく、この点でもチップサイズを縮小できる。また、各セルに隣接する箇所電位をとるので、ソース抵抗による特性変動もなく、安定的にソース電位をとることができる。更に、この構造は、レイアウトの変更のみで対処でき、特にプロセスを追加する必要がなく、容易に実施できる。

【0020】

【実施例】以下、本発明の実施例について、図面を参照しながら具体的に説明する。

【第1実施例】本例では、第1発明を、DINOR型フラッシュEEPROMに適用した例を示す。なお、DINOR形フラッシュメモリについては、IEDM'92 三菱「A Novel Cell Structure Suitable for a 3Volt Operation, Sector Erase Flash Memory」に記載されている。

【0021】本発明は、このDINOR型フラッシュEEPROMに限定されるものではなく、ソース電位と基板電位を同電位にする不揮発性メモリトランジスタを有し、この不揮発性メモリトランジスタが異種の拡散層に囲まれた拡散層領域に形成されている全ての半導体装置に適用が可能である。

【0022】図1は、本発明の半導体装置の平面図、図2(A)は図1のA-A'線に沿った断面図、図2(B)は、図1のB-B'線に沿った断面図である。本発明の半導体装置は、上述したように、不揮発性メモリトランジスタのソース拡散層に電位を供給するソース配線層が、該不揮発性メモリトランジスタのチャンネルが形成される第1の拡散層(本例においてはPウエル)にも接続されているものである。

【0023】従って、図1に示す本発明の半導体装置と図7に示した従来の半導体装置との相違は、本発明の半導体装置が、ソース配線層SLに、ソースコンタクトSCの他に、基板(Pウエル)とのコンタクトをとるための基板コンタクトSSsbCを有すると共に、基板コンタクトSSsbCの周辺の基板にP⁺拡散層CDが形成されていることである。

【0024】このようなDINOR型フラッシュEEPROMは、選択トランジスタSTに複数のメモリトランジスタMT(図では4個)が副ビット線SBLを介して接続されている。図1の平面図において、選択トランジスタSTのワード線WLsとメモリトランジスタのワード線WLmとは平行に配置され、これと直交する主ビット線MBLが、各メモリトランジスタMTの上に配線され、主ビット線コンタクトMBCで各選択トランジスタSTと接続されている。また、副ビット線SBLは主ビ

7

ット線MBLに沿って各メモリトランジスタMTのドレイン拡散層DDと副ビット線コンタクトSBCで接続されている。一方、メモリトランジスタMTのソース拡散層SDは、主ビット線MBLに平行に配置されたソース配線層SLとソースコンタクトホールSCで接続されている。また、このソース配線層SLには、本発明の特徴である基板(Pウエル)Pwとのコンタクトをとるための基板コンタクトSSsbCが形成され、このSSabCが設けられている基板Pwには、P⁺ 拡散層CDが形成されている。このソース配線層SLはビットライン16本おきに1本程度あるのが普通である。各トランジスタはフィールド酸化膜LOCによって分離されている。本例においては、ソース配線層SLの基板(PウエルPw)とのそれぞれのコンタクトSSsbCが、ソース配線層SLのソース拡散層SDとのそれぞれのコンタクトSCとメモリトランジスタMTのワード線Wlmを挟んで対向する位置に存する。

【0025】また、図2(A)に示す断面図は、基本的に図8(A)と同じである。各トランジスタは、P形基板Psbに形成されたN形ウエルNwで囲まれたP形ウエルPw内に形成されている。それぞれのトランジスタには第1ポリシリコン配線層(フローティングゲートFG)と第2ポリシリコン配線層(コントロールゲートCG)とが絶縁層を介して積層されており、これらは2poly-3poly層間絶縁膜IR1で覆われており、この上に副ビット線SBLであるポリシリコン配線層が各メモリトランジスタのドレイン拡散層DDと接続されて設けられている。更に、この副ビット線SBLが3poly-1Al層間絶縁膜IR2で覆われ、その上に1Al配線層(主ビット線MBL)が配線され、この主ビット線MBLはコンタクトホールMBCで選択トランジスタSTのソース拡散層SDと接続されている。この1Alの上をパッシベーションPVが被覆する。

【0026】図2(B)は、ソース配線層SL部分の断面を示すもので、フィールド酸化膜LOC間の基板(PウエルPw)に、交互にP⁺ 拡散層CDとソース拡散層SDが形成され、ソース配線層SLは、各基板コンタクトSSsbCでP形拡散層CDと、ソースコンタクトSCでソース拡散層SDと、それぞれ交互に接続するように配線されている。各フィールド酸化膜LOC上にはワード線Wlm、Wlsがそれぞれ配線されている。また、ソース配線層SLはパッシベーションPVが被覆する。

【0027】なお、基板と接続するためのP⁺ 拡散層CDは、PチャネルトランジスタのP⁺ 拡散層形成と同一プロセスで形成することができ、工程数の増加を招かない。また、ソースラインSLの基板とのコンタクトSCは、フィールド酸化膜LOC形成時に領域を確保することで容易に形成することができる。

【0028】本例では、PウエルPwの電位をソース配

8

線層SL毎にとれるので、メモリセルの周辺でしかとれない従来例に比較して飛躍的にPウエルの安定性が高くなり、誤読み出しの可能性を飛躍的に小さくすることができる。また、特にコンタクトのために領域を設ける必要もなく、メモリセルアレイサイズが大きくなることもない。更に、従来のセルレイアウトに拡散層とコンタクトを追加するだけでよいので、確実に実現できる。

【0029】上記例では、P形基板にNウエルが形成され、このNウエル内にPウエルが形成され、各トランジスタはPウエルに設けられた構造を示したが、メモリトランジスタがN形基板中に作られたPウエル構造に設けられていても同様に効果がある。また、P形とN形とを入れ替えても同様である。

【第2実施例】本例においては、第2発明をフラッシュメモリの一タイプのETOXタイプのセル配置図、いわゆるT形セルに適用した例を説明する。本発明は、EPROM、EEPROM、MaskROMなど不揮発性メモリトランジスタを有し、基板電位とソース電位とを同電位とする半導体装置全てに適用が可能である。また、フラッシュメモリにおいても、例えばNAND形フラッシュメモリ(東芝レビュー 1993 Vol. 48 No. 7 「16MビットNAND型EEPROM」参照)、DINOR型フラッシュメモリ(IEDM'92 三菱「A Novel Cell Structure Suitable for a 3Volt Operation, Sector Erase Flash Memory」参照)等に適用可能である。

【0030】図3に、本発明のETOXタイプのフラッシュメモリの平面図、図4に図3のB-B'線に沿った断面図を示す。図3において、コントロールゲートCGを形成するワードラインWLと、ドレイン電位の配線層DLとは直交している。ワード線WLに沿った各メモリトランジスタMTのソース拡散層SD相互は、フィールド酸化膜LOCによって分離されている。各メモリトランジスタのドレイン拡散層DDは、ドレイン電位配線層DLとドレインコンタクトDCで接続されている。本例の構造では、メモリトランジスタMTのソース拡散層SDは、互いにフィールド酸化膜LOCにより分離されており、ワード線WLに沿って配列されている。

【0031】メモリトランジスタMTの構造は、図4に示すように、ゲート酸化膜GOを介して基板にフローティングゲートFGが設けられ、このフローティングゲートに絶縁膜(図ではサイドウォールSWと一体になっている)を介してコントロールゲートCGが積層されており、このフローティングゲートFGが電荷蓄積層を構成する。メモリトランジスタMTが形成されている基板には、ソース拡散層SDとドレイン拡散層DDが形成されている。

【0032】また、ドレイン配線層DLに沿ったメモリトランジスタMTのソース拡散層SD間の基板にはP⁺ 拡散層CDが形成されていると共に、基板表面にシリサ

イド層SIDが形成され、このシリサイド層SIDにより、基板(P⁺ 拡散層CD)とソース拡散層SDとが接続されている。本構造では、P⁺ 拡散層CDとシリサイド層SIDはオーミックに接合しており、また、シリサイド層SIDとソース拡散層SDもオーミックに接合している。従って、本構造では、基板PsbとP⁺ 拡散層CDは同電位になり、結果的にソースラインを形成するN⁺ 拡散層SDは、シリサイド層SIDを介して基板PsbからGND電位を得ることになる。

【0033】このような構造の半導体装置を製造するには、従来方法に加えて、P⁺ 拡散層CDとシリサイドSIDとを形成する工程が加わることになる。この場合、P⁺ 拡散層CD形成は、例えば周辺回路のPチャネルトランジスタのP⁺ 拡散層形成と同時に行えば、特に別プロセスとする必要がないので工程が増加することはない。

【0034】また、シリサイド層SIDは、高融点金属と基板との合金形成反応により形成することができる。例えば、チタンを用いた公知のシリサイド(Self-Align Silicide)プロセスを用いて形成することができる。このシリサイドプロセスは、例えばゲート電極とサイドウォールを形成後、ソース・ドレイン用の不純物を注入し、アニールを行う。この後、チタンを例えば100nmスパッタリングし、700℃程度のアニールを行い、シリサイド化し、未反応のチタンを除去する。これにより、拡散層は容易にシリサイド構造になる。

【0035】本実施例によれば、ソースラインにはその電位をとるためのコンタクトはなく、また、メモリセルのチャンネル部分を確実に分離するためのフィールド酸化膜のソース側エッジとワードラインの上記スペース"X"(図9)を設ける必要がない。その分スペースが不要になり、チップサイズが縮小できる。その代わりに、ソース拡散層と隣接する基板部位にP⁺ 拡散層を設けている。このP⁺ 拡散層とソース拡散層とが同電位になるので、ソース拡散層は基板からGNDを得ることになる。コンタクトを使った配線層を介することがないからスペースをとる必要がなく、チップサイズを縮小できる。また、各セルに隣接する箇所電位をとるのでソース抵抗による特性変動もない。

【0036】

【発明の効果】本発明の半導体装置は、セル面積を増加させることなく不揮発性メモリトランジスタの特性の安定化を図ることができる。

【図面の簡単な説明】

【図1】本発明をDINOR型フラッシュメモリに適用した例を示す平面図である。

【図2】(A)は図1のA-A'線に沿った断面図、(B)は図1のB-B'線に沿った断面図である。

【図3】本発明をETOX型フラッシュメモリに適用した例を示す平面図である。

【図4】図3のB-B'線に沿った断面図である。

【図5】不揮発性メモリトランジスタの書き込み、消去を説明する概念図である。

【図6】DINOR型フラッシュメモリの基板の構造を示す断面図である。

【図7】従来のDINOR型フラッシュメモリの平面図である。

【図8】(A)は図7のA-A'線に沿った断面図、(B)は図7のB-B'線に沿った断面図である。

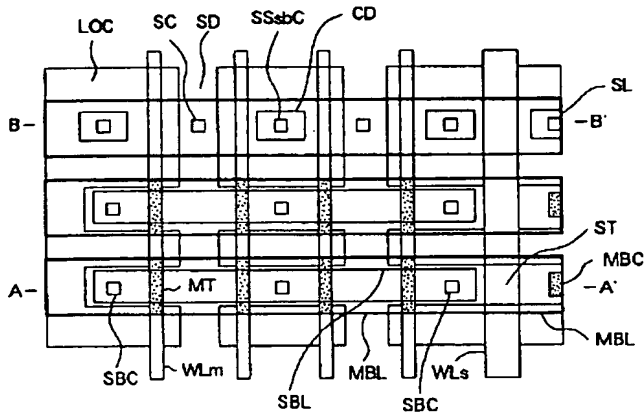
【図9】従来のETOX型フラッシュメモリの平面図である。

【図10】図9のA-A'線に沿った断面図である。

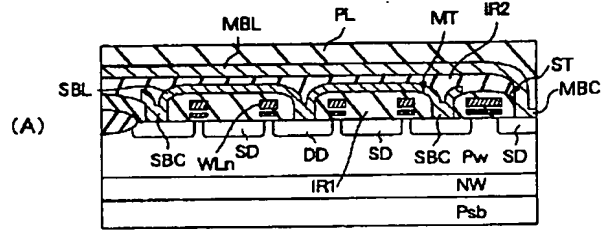
【符号の説明】

| | |
|-------|--------------------|
| ST | 選択トランジスタ |
| MT | メモリトランジスタ |
| MBL | 主ビット線 |
| SBL | 副ビット線 |
| SL | ソース配線層 |
| DL | ドレイン配線層 |
| WL | ワード線 |
| WLS | 選択トランジスタのワード線 |
| WLM | メモリトランジスタのワード線 |
| 線 | |
| Psb | P形基板 |
| Nw | Nウエル |
| Pw | Pウエル |
| SD | ソース拡散層 |
| DD | ドレイン拡散層 |
| CD | P ⁺ 拡散層 |
| SC | ソースコンタクト |
| MBC | 主ビット線コンタクト |
| SSsbC | ソース配線層の基板とのコンタクト |
| タクト | |
| LOC | フィールド酸化膜 |
| SID | シリサイド層 |

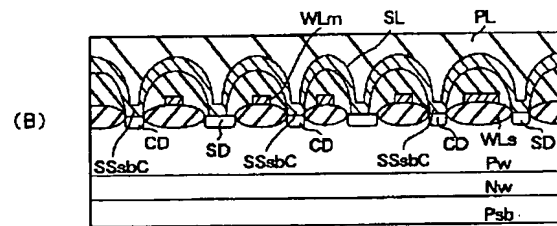
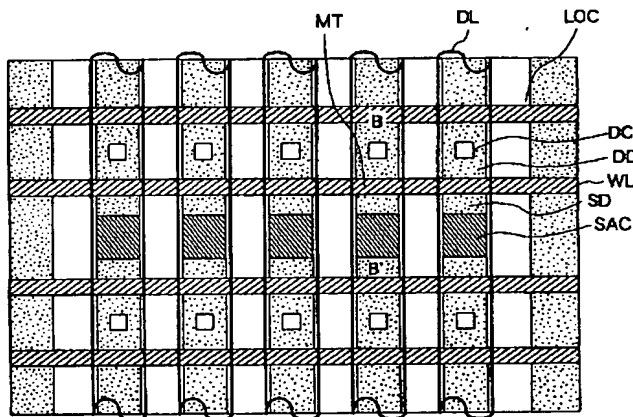
【図1】



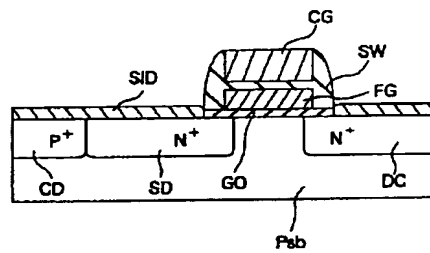
【図2】



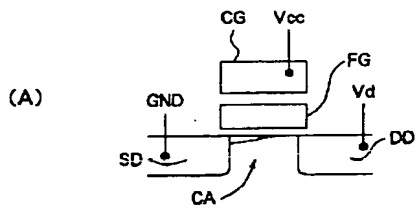
【図3】



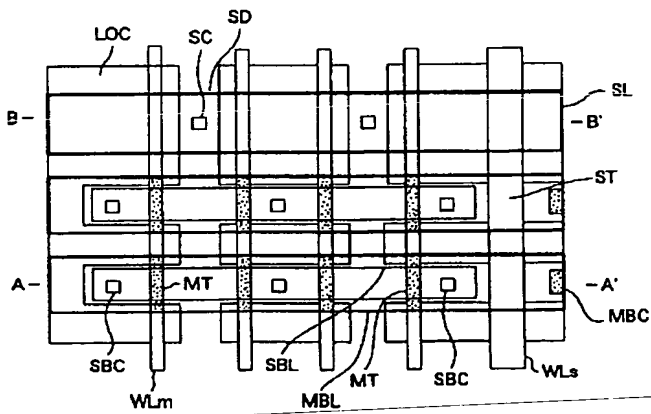
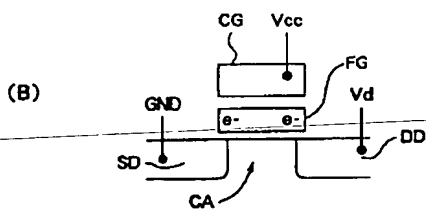
【図4】



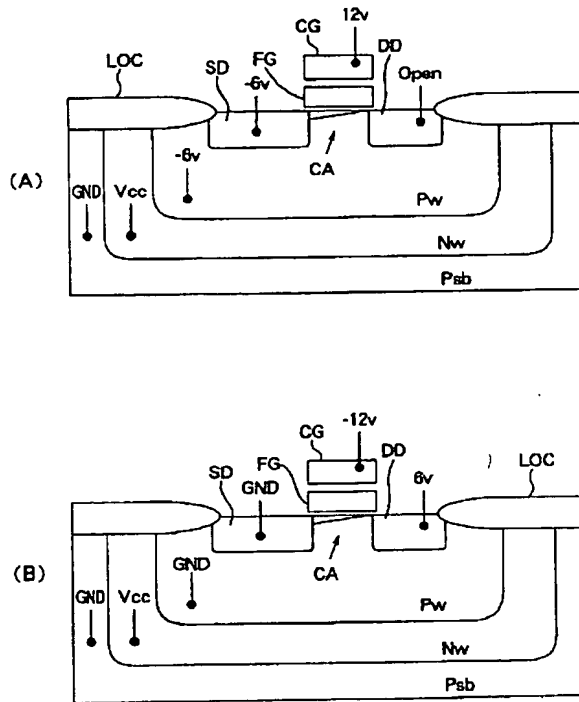
【図5】



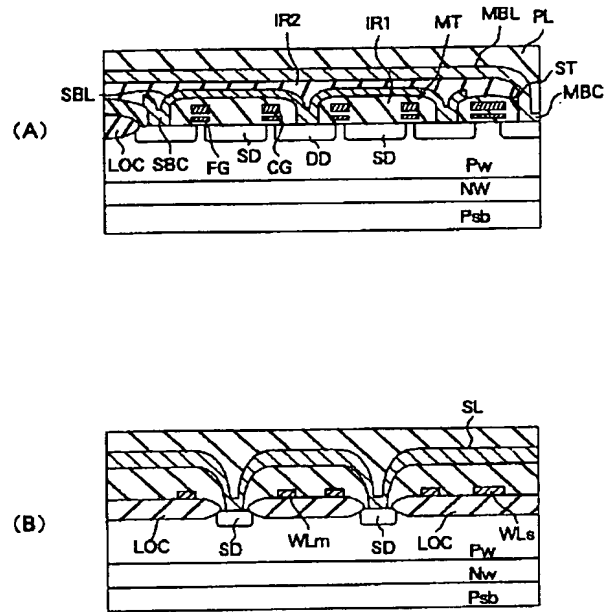
【図7】



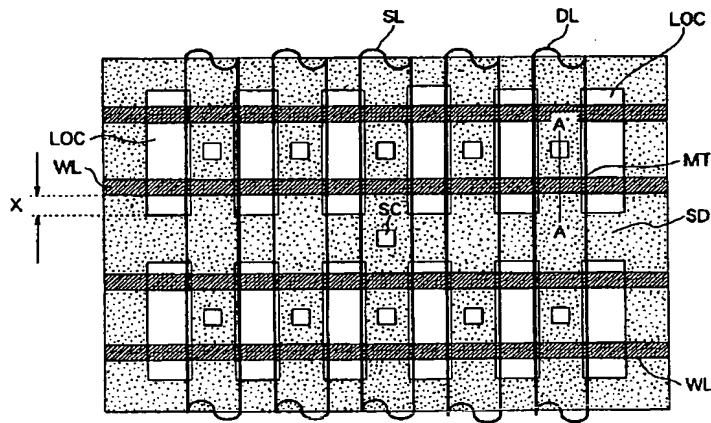
【図6】



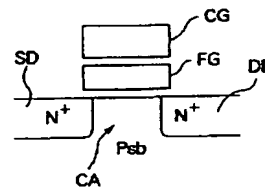
【図8】



【図9】



【図10】



フロントページの続き

(51) Int. Cl. 6

H01L 27/115

識別記号

庁内整理番号

F I

技術表示箇所